

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256503

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 C

21/8242

21/28

3 0 1 R

21/28

3 0 1

3 0 1 S

3 0 1 T

27/04

C

審査請求 未請求 請求項の数12 O L (全 15 頁) 最終頁に続く

(21) 出願番号

特願平9-60800

(22) 出願日

平成9年(1997) 3月14日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036505

菱電セミコンダクタシステムエンジニアリ
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72) 発明者 松下 誠

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

(74) 代理人 弁理士 宮田 金雄 (外2名)

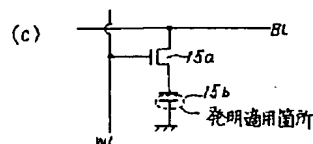
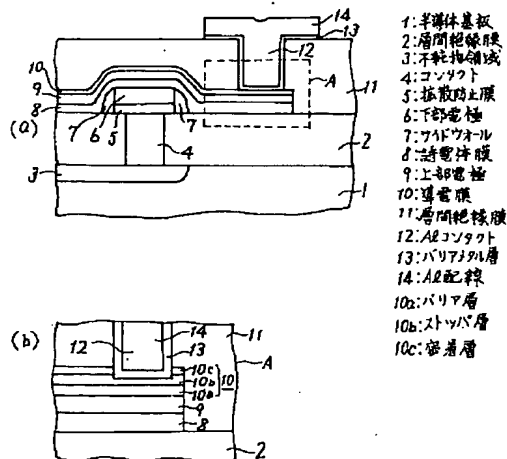
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 従来の半導体装置においては、キャパシタの P t からなる上部電極に接続される A l 配線を形成後、熱処理を加えることで A l 配線と上部電極を構成する P t とが反応し、キャパシタ及び金属配線の電気特性が劣化するという問題があった。

【解決手段】 キャパシタの下部電極上にバリア層、ストップ層、密着層を積層した構造とすることで、キャパシタの上部電極と、その上に形成される金属配線とが、熱処理を加えた場合においても互いに反応しないように、十分にバリア性を持たせる。また、A l 配線を埋め込みコンタクトを形成するためのコンタクトホールを開口時にもオーエッチングを抑制でき、さらに、キャパシタの上部電極と、その上に積層される層間絶縁膜との密着性を確保できる。



15a: MOSトランジスタ
15b: キャパシタ

【特許請求の範囲】

【請求項1】 半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるAl配線との間に、バリア層、ストッパ層、密着層が順次積層されてなる導電膜が配置形成された半導体装置において、上記バリア層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成され、上記ストッパ層は、Pt、Si、Pt_(1-x)Si_x (0 < x < 1)、RuO_x (0 ≤ x ≤ 2) のうちから選ばれる一つの物質からなる単層若しくは上記物質のうちから選ばれる少なくとも二つの上記物質の積層から構成され、上記密着層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成されることを特徴とする半導体装置。

【請求項2】 半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるAl配線との間に、バリア層、ストッパ層が順次積層されてなる導電膜が配置形成された半導体装置において、上記バリア層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成され、上記ストッパ層は、Si、Pt_(1-x)Si_x (0 < x < 1) のうちのいずれかの単層の物質、若しくは上記物質のうちから選ばれる少なくとも二つの上記物質の積層で構成されることを特徴とする半導体装置。

【請求項3】 半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち、他方の電極よりも広い平行面積を有する一方の電極と上記一方の電極に対し電気的に接続されるAl配線との間に、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成されるバリア層を配置することを特徴とする半導体装置。

【請求項4】 半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるAl配線との間に、Si単体からなる密着層を配置することを特徴とする半導体装置。

【請求項5】 半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは

強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるAl配線との間に、ストッパ層、密着層が順次積層されてなる導電膜が配置形成された半導体装置において、上記ストッパ層は、RuO_x (0 ≤ x ≤ 2) から構成され、上記密着層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成されることを特徴とする半導体装置。

【請求項6】 導電膜は、DRAM (Dynamic Random Access Memory) メモリセルを構成するキャパシタの一方の電極と、上記一方の電極に電気的に接続され、GND電位が供給されるAl配線との接続部に介在させることを特徴とする請求項1、2、5のいずれか一項記載の半導体装置。

【請求項7】 導電膜は、DRAMメモリセルを構成するキャパシタの一方の電極と、上記メモリセルを構成するMOS (Metal Oxide Semiconductor) トランジスタの一方のソース/ドレイン電極の電位が供給されるAl配線との接続部に介在させることを特徴とする請求項1、2、5のいずれか一項記載の半導体装置。

【請求項8】 導電膜を構成するストッパ層及び密着層がそれぞれPt及びSiにより構成される場合、若しくは上記ストッパ層がPt上にSiが積層された複数層から構成される場合、上記Pt上に上記Siを成膜後、加えられる熱処理によって、上記Ptと上記Siの一部若しくは全部が反応しPt_(1-x)Si_x (0 < x < 1) となり、上記導電膜は上記Pt_(1-x)Si_x (0 < x < 1) を含む膜となることを特徴とする請求項1、2のいずれか一項記載の半導体装置。

【請求項9】 半導体基板上に形成されPtを主成分とする物質からなるキャパシタの一方の電極上に、バリア層、ストッパ層、密着層が順次積層されてなる導電膜を積層する工程、上記導電膜上に積層された層間絶縁膜に対し、選択的に異方性エッチングを行い、少なくとも上記導電膜の一部が露出する状態のコンタクトホールを形成する工程、少なくとも上記コンタクトホール内壁にバリアメタル層を介してAlを充填してコンタクトを形成する工程、上記コンタクトの形成時に上記層間絶縁膜上に積層されたAlに対してパターニングを行い、上記一方の電極に電気的に接続するAl配線を形成する工程を含み、上記導電膜を構成する上記バリア層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成し、上記ストッパ層はPt、Si、Pt_(1-x)Si_x (0 < x < 1)、RuO_x (0 ≤ x ≤ 2) のうちから選ばれる一つの物質からなる単層若しくは上記物質のうちから選ばれる少なくとも二つの上記物質の積層で構成され、上記密着層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、W

Si_x系の単体及び窒化物、Si単体のいずれかから構成することを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上に形成されPtを主成分とする物質からなるキャパシタの一方の電極上に、ストッパ層、密着層が順次積層されてなる導電膜を積層する工程、上記導電膜上に積層された層間絶縁膜に対し、選択的に異方性エッチングを行い、少なくとも上記導電膜の一部が露出する状態のコンタクトホールを形成する工程、少なくとも上記コンタクトホール内壁にバリアメタル層を介してAlを充填してコンタクトを形成する工程、上記コンタクトの形成時に上記層間絶縁膜上に積層されたAlに対してバターンニングを行い、上記一方の電極に対して電氣的に接続されたAl配線を形成する工程を含み、上記導電膜のうち上記ストッパ層はRuO_x (0 ≤ x ≤ 2) から構成し、上記密着層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成することを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上に形成されPtを主成分とする物質からなるキャパシタの一方の電極上に、バリア層、ストッパ層が順次積層されてなる導電膜を積層する工程、上記導電膜上に積層された層間絶縁膜に対し、選択的に異方性エッチングを行い、少なくとも上記導電膜の一部が露出する状態のコンタクトホールを形成する工程、少なくとも上記コンタクトホール内壁にバリアメタル層を介してAlを充填してコンタクトを形成する工程、上記コンタクトの形成時に上記層間絶縁膜上に積層されたAlに対してバターンニングを行い、上記一方の電極に対して電氣的に接続されたAl配線を形成する工程を含み、上記導電膜のうち上記バリア層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成し、上記ストッパ層はSi、Pt_(1-x)Si_x (0 < x < 1) のうちから選ばれる一つの物質からなる単層、若しくは上記物質のうちから選ばれる少なくとも2つの上記物質の積層で構成されることを特徴とする半導体装置の製造方法。

【請求項12】 導電膜を構成するストッパ層及び密着層がそれぞれPt及びSiにより構成される場合、若しくは上記ストッパ層がPt上にSiが積層された複数層から構成される場合、上記Pt上に上記Siを成膜後、加えられる熱処理によって、上記Ptと上記Siの一部若しくは全部が反応しPt_(1-x)Si_x (0 < x < 1) となり、上記導電膜は上記Pt_(1-x)Si_x (0 < x < 1) を含む膜となることを特徴とする請求項9、11のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置内に構成されるキャパシタと、このキャパシタの一方の電極

に接続されるプラグ（コンタクト）との接続状態を良好にするための技術に関するものであり、良好な電気特性を有する半導体装置の構造と、その半導体装置を得るための製造方法に関するものである。

【0002】

【従来の技術】 次に、従来の技術である特開平5-90606号公報に開示された発明の概要について説明する。

【0003】 図10は、特開平5-90606号公報の発明による半導体装置の断面図を示すものであり、半導体基板101上の活性領域となる領域上にMOSトランジスタが形成され、半導体基板101上の不活性領域となる領域（LOCOS（LOCal Oxidation of Silicon）分離膜102が形成された領域）上には所定の絶縁膜を介して、キャパシタが形成されている。このMOSトランジスタは、半導体基板101の表面にチャネルとなる領域を挟んでソース／ドレイン領域103a、103bを形成しており、チャネルとなる領域上にはゲート絶縁膜104を介してゲート電極105が形成された状態となっている。

【0004】 またLOCOS分離膜102上には層間絶縁膜106を介してキャパシタの下部電極107が形成され、この下部電極107を覆うように強誘電体膜108が積層されている。この強誘電体膜108の表面上の、下部電極107に対向する位置に上部電極109が形成され、この上部電極109上にはTi、TiNからなる金属膜110が成膜されている。また下部電極107と上部電極109はいずれもPtにより構成されている。

【0005】 金属膜110上を含む半導体基板101の全面に積層された層間絶縁膜111の上にはソース／ドレイン領域103a、103bに、それぞれと電氣的に接続されたAl配線112、113が形成されている。このAl配線113は、層間絶縁膜111内に形成されたコンタクト113aを介して金属膜110の一方に接続され、キャパシタの上部電極109とMOSトランジスタのソース／ドレイン領域103bとを接続している。

【0006】 このように形成された半導体装置においては、キャパシタを構成する上部電極109とAl配線113との間にTiNまたはTiからなる金属膜110を設けたことにより、Al配線113を形成後に500℃程度の高温で熱処理を行っても、上部電極109を構成するPtとAl配線113のAlとが反応して、上部電極109の膜質を劣化させることなく、信頼性の高い半導体装置を得ることができた。

【0007】 しかし、従来の技術による半導体装置では、ソース／ドレイン領域103bとキャパシタの上部電極109とを接続するためのAl配線113を第二層目の層間絶縁膜111上に積層する配置としているた

め、必然的にA1配線113の配線抵抗が大きくなり、さらに縦方向への半導体装置の寸法が大きくなっていったため、素子の微細化という面でも問題があった。またMOSトランジスタとキャパシタとをそれぞれ半導体基板101表面の異なる位置に配置しなくてはならないため、横方向(半導体基板の一主面に対する水平方向)の寸法の微細化にも限界があり、問題となっていた。

【0008】

【発明が解決しようとする課題】この発明は上記のような問題を解決するためになされたものであり、素子の微細化に適応した構造を得、キャパシタの一方の電極に接続される金属配線とPt電極との熱処理時の反応を抑制し、良好な電気特性の半導体装置を得ること、さらにその製造方法を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明の請求項1に記載の半導体装置は、半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるA1配線との間に、バリア層、ストップ層、密着層が順次積層されてなる導電膜が配置形成された半導体装置において、上記バリア層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x(0≤x≤2)のうちのいずれかから構成され、上記ストップ層は、Pt、Si、Pt_(1-x)Si_x(0<x<1)、RuO_x(0≤x≤2)のうちから選ばれる一つの物質からなる単層若しくは上記物質のうちから選ばれる少なくとも二つの上記物質の積層から構成され、上記密着層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成されるものである。

【0010】また、この発明の請求項2に記載の半導体装置は、半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるA1配線との間に、バリア層、ストップ層が順次積層されてなる導電膜が配置形成された半導体装置において、上記バリア層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x(0≤x≤2)のうちのいずれかから構成され、上記ストップ層は、Si、Pt_(1-x)Si_x(0<x<1)のうちのいずれかの単層の物質、若しくは上記物質のうちから選ばれる少なくとも二つの上記物質の積層で構成されるものである。

【0011】さらに、この発明の請求項3に記載の半導体装置は、半導体基板上に形成され、Ptを主成分とす

る物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち、他方の電極よりも広い平行面積を有する一方の電極と上記一方の電極に対し電気的に接続されるA1配線との間に、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x(0≤x≤2)のうちのいずれかから構成されるバリア層を配置するものである。

【0012】また、この発明の請求項4に記載の半導体装置は、半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるA1配線との間に、Si単体からなる密着層を配置するものである。

【0013】さらに、この発明の請求項5に記載の半導体装置は、半導体基板上に形成され、Ptを主成分とする物質からなる対向電極間に、高誘電体膜若しくは強誘電体膜を配置したキャパシタを有し、少なくとも上記対向電極のうち一方の電極と上記一方の電極に対し電気的に接続されるA1配線との間に、ストップ層、密着層が順次積層されてなる導電膜が配置形成された半導体装置において、上記ストップ層は、RuO_x(0≤x≤2)から構成され、上記密着層は、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成されるものである。

【0014】また、この発明の請求項6に記載の半導体装置は、上記の請求項1、2、5に対応の手段に加え、導電膜は、DRAM(Dynamic Random Access Memory)メモリセルを構成するキャパシタの一方の電極と、上記一方の電極に電気的に接続され、GND電位が供給されるA1配線との接続部に介在させるものである。

【0015】さらに、この発明の請求項7に記載の半導体装置は、上記の請求項1、2、5に対応の手段に加え、導電膜は、DRAMメモリセルを構成するキャパシタの一方の電極と、上記メモリセルを構成するMOS(Metal Oxide Semiconductor)トランジスタの一方のソース/ドレイン電極の電位が供給されるA1配線との接続部に介在させるものである。

【0016】また、この発明の請求項8に記載の半導体装置は、上記の請求項1、2に対応の手段に加え、導電膜を構成するストップ層及び密着層がそれぞれPt及びSiにより構成される場合、若しくは上記ストップ層がPt上にSiが積層された複数層から構成される場合、上記Pt上に上記Siを成膜後、加えられる熱処理によって、上記Ptと上記Siの一部若しくは全部が反応しPt_(1-x)Si_x(0<x<1)となり、上記導電膜は上記Pt_(1-x)Si_x(0<x<1)を含む膜となるものである。

【0017】さらに、この発明の請求項9に記載の半導体装置の製造方法は、半導体基板上に形成されPtを主成分とする物質からなるキャパシタの一方の電極上に、バリア層、ストッパ層、密着層が順次積層されてなる導電膜を積層する工程、上記導電膜上に積層された層間絶縁膜に対し、選択的に異方性エッチングを行い、少なくとも上記導電膜の一部が露出する状態のコンタクトホールを形成する工程、少なくとも上記コンタクトホール内壁にバリアメタル層を介してAlを充填してコンタクトを形成する工程、上記コンタクトの形成時に上記層間絶縁膜上に積層されたAlに対してバターンニングを行い、上記一方の電極に電気的に接続するAl配線を形成する工程を含み、上記導電膜を構成する上記バリア層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成し、上記ストッパ層はPt、Si、Pt_(1-x)Si_x (0 < x < 1)、RuO_x (0 ≤ x ≤ 2) のうちから選ばれる一つの物質からなる単層若しくは上記物質のうちから選ばれる少なくとも2つの上記物質の積層で構成され、上記密着層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成するものである。

【0018】また、この発明の請求項10に記載の半導体装置の製造方法は、半導体基板上に形成されPtを主成分とする物質からなるキャパシタの一方の電極上に、ストッパ層、密着層が順次積層されてなる導電膜を積層する工程、上記導電膜上に積層された層間絶縁膜に対し、選択的に異方性エッチングを行い、少なくとも上記導電膜の一部が露出する状態のコンタクトホールを形成する工程、少なくとも上記コンタクトホール内壁にバリアメタル層を介してAlを充填してコンタクトを形成する工程、上記コンタクトの形成時に上記層間絶縁膜上に積層されたAlに対してバターンニングを行い、上記一方の電極に対して電気的に接続されたAl配線を形成する工程を含み、上記導電膜のうち上記ストッパ層はRuO_x (0 ≤ x ≤ 2) から構成し、上記密着層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成するものである。

【0019】さらに、この発明の請求項11に記載の半導体装置の製造方法は、半導体基板上に形成されPtを主成分とする物質からなるキャパシタの一方の電極上に、バリア層、ストッパ層が順次積層されてなる導電膜を積層する工程、上記導電膜上に積層された層間絶縁膜に対し、選択的に異方性エッチングを行い、少なくとも上記導電膜の一部が露出する状態のコンタクトホールを形成する工程、少なくとも上記コンタクトホール内壁にバリアメタル層を介してAlを充填してコンタクトを形成する工程、上記コンタクトの形成時に上記層間絶縁膜

上に積層されたAlに対してバターンニングを行い、上記一方の電極に対して電気的に接続されたAl配線を形成する工程を含み、上記導電膜のうち上記バリア層はTi系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成し、上記ストッパ層はSi、Pt_(1-x)Si_x (0 < x < 1) のうちから選ばれる一つの物質からなる単層、若しくは上記物質のうちから選ばれる少なくとも2つの上記物質の積層で構成されるものである。

【0020】また、この発明の半導体装置の製造方法は、請求項9、11に対応の手段に加え、導電膜を構成するストッパ層及び密着層がそれぞれPt及びSiにより構成される場合、若しくは上記ストッパ層がPt上にSiが積層された複数層から構成される場合、上記Pt上に上記Siを成膜後、加えられる熱処理によって、上記Ptと上記Siの一部若しくは全部が反応しPt_(1-x)Si_x (0 < x < 1) となり、上記導電膜は上記Pt_(1-x)Si_x (0 < x < 1) を含む膜となるものである。

【0021】

【発明の実施の形態】

実施の形態1. この発明の実施の形態1について説明する。図1(a)はこの発明による半導体装置の一断面を示すものである。この半導体装置は、例えばDRAMのメモリセル部分に適応する発明であり、このメモリセルを構成するキャパシタの一方の電極と、これに接するGND電位に接続されたAl配線との接合部において、後の熱処理の際の加熱によっても互いに反応し、キャパシタ若しくは配線を構成する構成要素が劣化しないようにすることを主な目的とするものである。

【0022】図1(a)において符号1は半導体基板、2は半導体基板1の表面に積層された層間絶縁膜、3は半導体基板1の表面に選択的に形成された不純物領域であり、この不純物領域3は、例えばMOSTランジスタのソース/ドレイン領域に相当する。さらに、4は層間絶縁膜2内に、不純物領域3に当接するように形成されたコンタクト、5は層間絶縁膜2上に、コンタクト4の上部に接するように積層された拡散防止膜、6はキャパシタの構成要素であり、拡散防止膜5の上面に接して形成されPtを主成分とする物質からなる下部電極、7は下部電極6及び拡散防止膜5の断面に付着形成された絶縁物質からなるサイドウォールを示している。

【0023】また、8は下部電極6の表面を含む層間絶縁膜2上に選択的に積層されたキャパシタを構成する強誘電体若しくは高誘電体膜のいずれかからなる誘電体膜、9はキャパシタの構成要素であり誘電体膜8の表面上に積層されるPtを主成分とする物質からなる上部電極を示している。さらに、この上部電極9の表面には、この発明の特徴となる導電膜10が積層された状態とな

っている。

【0024】さらに、11は導電膜10の表面上を含む層間絶縁膜2の表面上に積層された層間絶縁膜、12は層間絶縁膜11上に形成されるA1配線14の一部で構成され、層間絶縁膜11内に、導電膜10に接する状態に形成されたA1コンタクトを示しており、少なくとも導電膜10に接する部分にはバリアメタル層13が形成されている。

【0025】図1(a)内のA1コンタクト12とキャパシタの上層配線9上に形成された導電膜10との接合部Aの拡大図を図1(b)に示す。図1(b)に示すように、導電膜10は3層構造からなる膜であり、その内の10aはA1配線14と上部電極9との熱処理時の反応を抑制するバリア層、10bは熱処理時にA1配線14と上部電極9とが反応した際の犠牲反応膜及びオーバーエッチングストッパーの役割を果たすストッパ膜、10cはこの導電膜10と層間絶縁膜2との密着性を向上させる密着層をそれぞれ示している。

【0026】また、バリア層10aは、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、酸化物、酸化窒化物若しくはRuO_x (0 ≤ x ≤ 2) のうちのいずれかから構成されるものであり、さらにストッパ層10bは、Pt、Si、Pt_(1-x)Si_x (0 < x < 1)、PtSi_x (0 ≤ x ≤ 2)、RuO_x (0 ≤ x ≤ 2) (いずれの物質についてもxは他の層との相互関係によって決まる数値である。) のうちのいずれかから構成されるものであり、また密着層10cは、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物、Si単体のいずれかから構成されるものである。

【0027】その他、A1コンタクト12を構成するバリアメタル層13は、TiN/Ti (積層構造) 膜、またはTiSi_xN_y (x、yはいずれも他の層との相互関係によって決まる数値である。) のうちのいずれかから構成するものである。

【0028】また、図1(a)は、半導体装置の1つのメモリセルのうちの一部の断面図を示すものであるが、キャパシタの上部電極9は水平方向に広がった構造となっており、複数個のキャパシタの下部電極に対して1つの上部電極が形成された状態となる。よって、上部電極10に接するように形成するA1配線14aは、少なくとも1つ形成しておくことで、この上部電極9を構成要素とする複数のキャパシタの一方の電極をGND電位とすることが可能であり、A1コンタクト12は、上部電極9のどの部分に接続することも可能である。

【0029】図1(c)は、図1(a)のキャパシタとA1配線との接続部が、メモリセルのどの部分に適用するかを示した図である。図1(c)に示すように、DRAMのメモリセルは、ゲート電極とワード線(WL)とが接続され、一方のソース/ドレイン電極にビット線

(BL)が接続された1つのMOSトランジスタ15aと、一方の電極がGND電位点に接続され、対向電極がMOSトランジスタ15aの他方のソース/ドレイン電極に接続されている。この構造のうち、キャパシタ15bのGND電位側の電極とA1配線との接続部(発明適応箇所)に、この発明の技術を適用することで良好な電気特性が得られる。

【0030】次に、図1(a)、(b)に示す半導体装置の製造方法を図2(a)～(d)を参照して説明する。まず、図2(a)に示すように、半導体基板1の表面のメモリセルとなる領域上に選択的にイオン注入若しくは拡散によって不純物を注入若しくは拡散させ、不純物領域3を形成する。次に、層間絶縁膜2となるSiO₂を被処理基板(半導体装置の未完成の状態のものを以下、被処理基板と称する。)上に4000Å程度の膜厚となるように積層する。

【0031】さらに、不純物領域3上の層間絶縁膜2に対し、選択的にエッチングを行い、不純物領域3が少なくとも一部露出するようにコンタクトホールを形成し、このコンタクトホール内に導電物質を埋設することでコンタクト4を形成する。次に、コンタクト4の表面に接し、かつ層間絶縁膜2の表面上に拡散防止膜5となるTiN系の物質を用いたバリアメタルを500～1000Å程度の膜厚となるように積層し、さらにこの拡散防止膜5の表面上にキャパシタの下部電極6となるPt単体若しくはPtを主成分とする導電膜をスパッタリング法を用いて500～2000Å程度の厚さとなるように積層する。

【0032】次に、下部電極6となるPtを主成分とする導電膜及び拡散防止膜5となる導電膜のうち、コンタクト4上に位置する部分を含んだ所定の領域を残し、他をエッチング除去する。その後、サイドウォール7となる絶縁膜を所定の膜厚となるように全面にCVD法によって積層し、次に異方性エッチングを行うことで上部電極6及び拡散防止膜5の断面に付着した部分のみを残してサイドウォール7を形成する。

【0033】次に、図2(b)に示すように、キャパシタの下部電極6、サイドウォール7及び層間絶縁膜2の表面に対し、例えばBST (Ba_(1-x)Sr_xTiO₃)、BaTiO₃、SrTiO₃からなる高誘電体膜、PZT (Pb(Zr_(1-x)Ti_x)O₃)、PLT (Pb_(1-x)La_xTiO₃)、PLZT (Pb_(1-x)La_x(Zr_(1-y)Ti_y)O₃)、PbTiO₃からなる強誘電体膜、またはY₁系(Bi層状)強誘電体膜、Ta₂O₅ (これらの構造式中のX、Yは適当な数値が当てはまる)のいずれかからなる誘電体膜8を500～1000Å程度の厚さとなるように積層し、さらに上部電極9となるPtを主成分とする導電膜を200～400Å好ましくは370Å程度の厚さとなるように積層する。

【0034】その後、バリア層10a、ストッパ層10

b、密着層10cの3層構造である導電膜10を順次積層する。このバリア層10aとしては、例えばTiSiNを100Åの膜厚となるようにスパッタリング法によって積層し、またストッパ層10bとしては、例えばPtを200~400Å好ましくは300Åの膜厚となるようにスパッタリング法によって積層し、さらに、密着層10cとしては、例えばTiNを50~150Å好ましくは75Åの膜厚となるようにスパッタリング法によって積層する。

【0035】次に、図2(c)に示すように、導電膜10上に、所定の形状(パターンニング後の上部電極9の形状)のレジストパターンを形成し、これをエッチングマスクとして導電膜10及び上部電極9、誘電体膜8に対して順次異方性エッチングを行い、所定の形状の上部電極9を得る。このとき、上部電極9の表面全面には導電膜10が積層された状態となる。次に、ここで用いたエッチングマスクを除去する。その後、半導体基板1の全面にCVD法等によってSiO₂からなる層間絶縁膜11を4000Å程度の厚さとなるように積層する。

【0036】次に、図2(d)に示すように、上部電極9の上部であり、下部電極6上ではない領域上に位置するように、層間絶縁膜11内にコンタクトホールを形成し、このコンタクトホールの内壁及び層間絶縁膜11の表面上に、バリアメタル層13及びAl配線14を順次積層し、所定の形状にパターンニングを行う。

【0037】このバリアメタル層13は、スパッタリング法若しくはCVD法によって積層された、TiN/TiまたはTiSi_xN_yからなる500~1000Å程度の膜厚の層であり、さらに、バリアメタル層13の表面上に積層されるAl配線14は、Alをスパッタリング法若しくはCVD法によって、コンタクトホール径が1μm程度の場合に4000~6000Å程度の膜厚となるように積層し、所定の形状となるように、写真製版と異方性エッチングの処理を順次行い、パターンニングすることを得られる。以上のような工程を経ることで図1(a)、(b)に示すような半導体装置を得ることが可能となる。

【0038】上記の半導体装置の製造過程における、コンタクトホール形成時の図1(a)に示した領域Aの拡大図を図3に示す。この図3に示すように、コンタクトホール12aを形成する場合は、層間絶縁膜11に対して異方性エッチングを行うと、エッチングストッパーとなる導電膜10のうち、密着層10c及びストッパ層10bの一部にまでエッチングされる場合がある。また、導電膜10として、例示した物質以外の物質の組み合わせを用いた場合は、密着層10cの一部のみがエッチングされ、他のストッパ層10b及びバリア層10aにはエッチングが全く及ばない場合など、様々な場合があるが、複数の層からなる導電膜10を形成したことにより、このコンタクトホール12aの開口の際にキャパシ

タを構成する上部電極9にまでエッチングが及ぶことを抑制できる上、キャパシタ電極の膜厚が減少することを抑制でき、また電極の膜質の劣化を抑制することも可能である。

【0039】また、上記の例では導電膜10を構成するバリア層10aとしてTiSiNを積層した例を示したが、膜厚75ÅのTiNを450℃で酸素雰囲気中において20分程度の処理を行って得られるTi(O)N膜(一部が酸化されたチタンナイトライド膜であり、Ti系の窒化酸化物に相当する膜)で構成することによっても、上記の例のものと同様の効果を奏する図1(a)、(b)に示すような半導体装置を得ることが可能となる。

【0040】さらに、この発明による半導体装置の例として、図1のように、キャパシタの下部電極6とAlコンタクト12が互いに重畳しないように配置された場合を示したが、また別の例として、図4(a)に示すように、キャパシタに接続するAl配線14a及びバリアメタル層13aから構成されるコンタクト12bを、コンタクト4の上部、また下部電極6の上部に配置することも可能であり、このように配置することによって、メモリセルが占める垂直方向の寸法を変化させることなく水平方向の寸法の微細化が可能であり、より微細化された半導体装置を得ることが可能である。

【0041】また別の例として、図4(b)に示すような構造をとることも可能である。図4(b)において、符号3a、3bはMOSトランジスタを構成するソース/ドレイン領域、14cはソース/ドレイン領域3bに接続されたAl配線、16は半導体基板1の表面の不活性領域に形成されたLOCOS分離膜、17はソース/ドレイン領域3a、3b間に挟まれたチャネル領域上に積層されたゲート絶縁膜、18はゲート絶縁膜17上に形成されたゲート電極をそれぞれ示している。この図4(b)に示すように、MOSトランジスタの一方のソース/ドレイン領域3aに接続されたAl配線14bとキャパシタの上部電極9との接続部にこの発明を適用し、導電膜10を介在させることも可能であり、同様の効果を奏することは言うまでもない。

【0042】また、図5に示すように、導電膜10を成膜しているため、コンタクトホール12aの開口と同時に、メモリセル形成領域以外の領域に、層間絶縁膜11の表面から半導体基板1の表面までの深さのコンタクトホール12cを開く場合も、コンタクトホール12aの底面をオーバーエッチングすることなく、上部電極9の膜厚を減少させず、良好な電気特性のキャパシタを得ることが可能である。

【0043】また、この発明による半導体装置のうち、不純物領域3とキャパシタの下部電極6とをコンタクト4を介することで接続した構造をとっているものについては、半導体基板1の表面に形成された不純物領域3と

下部電極6との電気的接続に必要となるのはコンタクト4のみの短い配線である。これに対し、従来の技術として例示した半導体装置の構造は、半導体基板の表面のソース/ドレイン領域（不純物領域）とキャパシタの上部電極を接続しているため、これらを接続する配線も発明のものよりも長くなり配線抵抗が増大する上、その配線の配置場所を確保しなくてはならないため、素子の高集積化に適した構造になっていない。このことから、この発明による半導体装置の構造の方がより効率的な構造であることが分かる。

【0044】実施の形態2. 次に、この発明の実施の形態2について説明する。実施の形態1において説明した半導体装置は、A1コンタクト12とキャパシタの上部電極9との間に、バリア層10a、ストップ層10b、密着層10cからなる3層構造の導電膜10を介在させていた。しかし、この実施の形態2において説明する半導体装置の導電膜10はバリア層10aと、Siを含んだ物質からなるストップ層10bとの2層構造からなることを特徴としている。

【0045】図6に、実施の形態2の半導体装置の構造の、A1コンタクト12と上部電極との接続部を含む領域Aの断面図を示す。この図6と、図1(b)との相違点は、上述した通り、導電膜10に密着層10cが含まれていないという点であり、また、ストップ層10bは、 Si 、 $Pt_{1-x}Si_x$ ($0 < x < 1$) (x は他の層との相互関係によって決まる数値である。)から構成され、必ずSiを含んだ物質とするものである。

【0046】図6の構造を含む半導体装置の他の構造は実施の形態の図1(a)に示したものと導電膜10の構成以外は同様であり、その変形例である図4(a)、図4(b)に示したような構造をとることも可能である。また、その製造方法は、実施の形態1において示した製造方法と類似しており、実施の形態1において示した製造方法のうちの密着層10cの形成工程を含まず、例えばストップ層10bとしてSiを含む $Pt_{1-x}Si_x$ ($0 < x < 1$)又はSi単層からなる膜を成膜する方法に等しい。

【0047】この実施の形態2による半導体装置は、密着層10bがSiを含んだ膜から構成されているために、密着層10cを形成していなくても、その上層の層間絶縁膜11との密着性を十分に確保できる。さらに、ストップ層10bの本来の機能である、コンタクトホール12a開口時のエッチングストッパーとしての役割と、熱処理時における犠牲反応膜としての役割、さらに、バリア層10aの本来の役割である、A1コンタクト12とPtからなる上部電極9との、熱処理時における反応を抑制することが可能であり、良好な電気特性のキャパシタを得ることが可能である。

【0048】なお、上記の説明においては、実施の形態1の場合と同様に、一例としてDRAMメモリセルを構

成するキャパシタとGND電位点に接続されるA1配線との接続部である、A1とPtとの間に導電膜10を配置したが、例えば、従来の技術にあるように、MOSトランジスタの一方の電極に接続されたA1配線とキャパシタの一方の電極との接続部にこの発明を用いることも可能であることは言うまでもない。

【0049】実施の形態3. 次に、この発明の実施の形態3について説明する。実施の形態1では導電層10は3層構造の膜として、また実施の形態2では導電層10は2層構造の膜として形成していた。ここで説明する実施の形態3の半導体装置の導電層10は、バリア層10aのみから構成されることを特徴としている。

【0050】図7(a)と、この図7(a)中の領域Aの拡大図である図7(b)に実施の形態3の半導体装置の断面図を示す。図において、既に用いた符号は同一符号、若しくは相当部分を示しており、バリア層10aは実施の形態1及び実施の形態2において構成要素として用いられるバリア層10aと同じ物質であり、Ti系、 $TiSi_x$ 系、Ta系、 $TaSi_x$ 系、W系、 WSi_x 系の単体、及び窒化物、酸化物、酸化窒化物若しくは RuO_x ($0 \leq x \leq 2$)のうちのいずれかから構成されている。

【0051】上記のような構成の半導体装置の製造方法は、実施の形態1において示した製造方法の、密着層10c及びストップ層10bを形成しない製造方法に等しい。

【0052】この実施の形態3による半導体装置においては、導電膜10として、A1コンタクト12と、Ptからなる上部電極9との間にバリア層10aを介在させ、高温の熱処理を加えられた場合においても、A1とPtとの反応を抑制し、キャパシタを構成する電極の膜質を劣化させることがない。従って良好な電気特性のキャパシタを形成することが可能となる。

【0053】また、この半導体装置は、上部電極9とA1配線14との接続部のみではなく、上部電極9の全面にバリア層10aを積層しているため、その表面に積層される層間絶縁膜11との密着性が向上している。バリア層10aを構成する物質は、既に他の実施の形態において説明した密着層10cを構成する物質と類似、若しくは同一の性質を有しており、十分に密着層10cとしての役割を兼ね備えた膜質を持つものである。

【0054】この発明による半導体装置は、従来の技術に示したメモリセルの構造と異なり、MOSトランジスタのソース/ドレイン領域となる不純物領域3とキャパシタの下部電極6とが接続され、キャパシタの上部電極9がGND電位を供給するA1配線14と接続されている構造をとることで、下部電極6と比較して広い面積を持つ一続きの上部電極9を複数の下部電極6の対向電極としている。従って、従来の構造では問題とされなかった上部電極と、その上部に積層された層間絶縁膜11と

の密着性を十分に確保することが必要となる。

【0055】そこで、層間絶縁膜11との密着性を向上させるバリア層10aを設けることで、はがれの生じない良好な形状の半導体装置を得ることが可能になる。また、上記のような構造のメモリセルとすることで、高集積化も可能になっており、従来の技術に示された半導体装置の構造と比較して、この発明に開示された技術の方が半導体技術の進歩により適した構造であると言える。

【0056】また、バリア層10aを設けたことで、熱処理時においてもA1配線14を構成するA1と上部電極9を構成するPtとの反応を抑制でき、キャパシタ電極の膜質の劣化を抑制でき、良好な電気特性のキャパシタを得られるということも言うまでもない。

【0057】実施の形態4. 次に、この発明の実施の形態4について説明する。既に説明した実施の形態3の半導体装置の構造では、A1コンタクト12と上部電極9との間に介在させてバリア層10aを設ける技術について説明した。この実施の形態4では、既に説明した実施の形態1において、密着層10cとして例示したSi単体のみからなる導電膜10をA1コンタクト12と上部電極9との間に介在させる技術について説明する。

【0058】実施の形態4による半導体装置の構造は図8に示す通りであり、図において、既に用いた符号のうち既に用いた符号と同一符号は同一、若しくは相当部分を示しており、この実施の形態4においては、密着層10cは、Si単体から構成されている。

【0059】図8のように構成された半導体装置においては、上部電極9と層間絶縁膜11との間に密着層10cを介在させたことで両者の密着性を向上させることが可能であり、さらに、この密着層10cを設けることで、A1コンタクト12とPtからなる上部電極9とを直に接触させることがないため、熱処理時における両者の反応を抑制でき、キャパシタ電極の膜質を良好に保つことが可能となるという効果がある。

【0060】なお、実施の形態1においては密着層10cとしてSi単体の他に、Ti系、TiSi_x系、Ta系、TaSi_x系、W系、WSi_x系の単体及び窒化物を開示したが、それらの物質については、実施の形態3において示したバリア層10aを構成する物質と全く同じ物質であるため、この実施の形態4に適応する密着層10cの構成物質としてはSi単体のみを示している。

【0061】実施の形態5. 次に、実施の形態5について説明する。この実施の形態5の半導体装置と、実施の形態1の半導体装置の図1(a)に示した断面構造とは類似しており、この実施の形態5の半導体装置との相違点は導電膜10が、RuO_x (0 ≤ x ≤ 2) からなるストップパ膜10dを含むという点にある。図1(a)に示す半導体装置のA1コンタクト12と上部電極9との接続領域Aの拡大図を図9(a)に示す。図9(a)において、既に説明した符号と同一符号は同一、若しくは相

当部分であり、3層構造の導電膜10を構成する1つの層であるストップパ膜10dがRuO_x (0 ≤ x ≤ 2) から構成されている点に特徴がある。

【0062】図9(a)に示す構造の半導体装置を得る方法は、ストップパ膜10dとしてRuO_xをスパッタリング法若しくはCVD法によって成膜する工程以外は、実施の形態1に示した製造工程と同様である。RuO_x (0 ≤ x ≤ 2) からなるストップパ膜10dは、A1コンタクト12を形成するためのコンタクトホール開口時のエッチングストッパーとして、またA1コンタクト12を形成後の高温(500℃程度の温度)熱処理の際に、A1配線14を構成するA1と上部電極のPtとを反応させないための犠牲反応膜としての役割を果たす性質を持っている。

【0063】この実施の形態5による半導体装置は、A1配線14を構成要素とするA1コンタクト12とキャパシタのPtからなる上部電極9との間に、バリア膜10a、RuO_x (0 ≤ x ≤ 2) からなるストップパ膜10d、密着層10cを形成しているため、A1配線14を形成した後に高温熱処理を加えた場合においても、A1とPtとの反応を抑制し、キャパシタ電極の膜質を劣化させることなく、良好な電気特性の半導体装置を得ることが可能となる。

【0064】さらに、また上記の半導体装置の変形例として、図9(b)に示すような半導体装置を形成することも有効である。この図9(b)の構造は導電膜10としてストップパ膜10dと密着層10cを積層したものである。このように、導電膜10をストップパ層10dと密着層10cにより形成した場合でも、ストップパ層10dであるRuO_x (0 ≤ x ≤ 2) が、バリア層としての性質も兼ね備えているため、高温熱処理時においてもA1とPtとの反応を抑制し、キャパシタ電極の膜質が劣化することはない。従って、ストップパ層10dと密着層10cの2層構造の導電膜10を構成する場合も、良好な電気特性の半導体装置を得ることが可能である。

【0065】また、上記の説明においては、キャパシタの上部電極9とGND電位点に接続されたA1配線14とが電氣的に接続された構造の半導体装置について説明したが、例えば、従来の技術に開示されたように、半導体基板の表面に形成された不純物領域(ソース/ドレイン領域)の電位が供給されるA1配線とキャパシタの上部電極とが接続された半導体装置の、A1配線と上部電極との接続領域に、RuO_x (0 ≤ x ≤ 2) をストップパ層として含む導電膜を介在させ、良好な電気特性の半導体装置を得ることも可能である。

【0066】実施の形態5の発明についても、キャパシタを構成する下部電極6とA1コンタクト12が互いに重畳していない状態の断面図を用いて説明を行ったが、下部電極6上にA1コンタクト12が配置されたような構造の半導体装置を形成した場合、また不純物領域3と

キャパシタの上部電極とを接続するような構造の半導体装置として形成した場合も同様の効果が得られることは言うまでもない。

【0067】実施の形態6. 次に、この発明の実施の形態6について説明する。既に説明した実施の形態1においては導電膜10を構成するストッパ層10bがいずれも単層である例を示したが、この実施の形態6では、ストッパ層を複数層で構成する場合を示す。この実施の形態6の半導体装置の構成は図1に示すものに類似しており、ストッパ層の構成のみが異なっている。

【0068】導電膜10の形成直後の図を図10(a)に示す。図10(a)において、符号12dはコンタクト(A1コンタクト)形成位置を示しており、また符号19はPt層19aとSi層19bを含むストッパ層をそれぞれ示している。このPt層19aは200~400Å好ましくは300Å程度の膜厚に、Si層19bは500~1000Å好ましくは600Å程度の膜厚となるように形成されている。この図に示すように、ストッパ層19を積層後、高温熱処理を加えていない段階ではストッパ層19はPt層19aとSi層19bの2層から構成される。

【0069】また上部電極9は200~400Å好ましくは370Å程度の膜厚のPtにより構成し、バリア層10aは50~200Å好ましくは75Å程度の膜厚のTi(O)Nによって構成し、また密着層10cは50~150Å好ましくは75Å程度の膜厚のTiNにより構成する。

【0070】導電膜10を形成後、A1コンタクト12を形成した段階での、図10(a)の領域Bの拡大図を図10(b)~(e)に示す。コンタクトホール12a内にA1コンタクト12を形成し、その上部にA1配線(図示せず)をパターンニングするまでには少なくとも1度は加えられる高温熱処理の際にPt層19aとSi層19bの接合面において両者が反応し、 $Pt_{(1-x)}Si_x$ 層20(0<x<1)が形成され、ストッパ層19は $Pt_{(1-x)}Si_x$ 層20を含む膜となる。

【0071】この $Pt_{(1-x)}Si_x$ 層20がとりうる配置は4通りあり、半導体装置が完成した時にいずれの構造となるかは半導体装置の他の構成、その製造方法に依存し、微妙に変化する。 $Pt_{(1-x)}Si_x$ 層20の配置は、図10(b)に示すように、Pt層19aの一部とSi層19bの一部が反応し、未反応のPt層19a、Si層19bに挟まれた状態に $Pt_{(1-x)}Si_x$ 層20が形成されるパターン、図10(c)に示すように、Pt層19a全部とSi層19bの一部が反応し、未反応のSi層19bが $Pt_{(1-x)}Si_x$ 層20上に残るパターン、図10(d)に示すように、Pt層19aの一部とSi層19b全部が反応し、未反応のPt層19a上に $Pt_{(1-x)}Si_x$ 層20が配置されるパターン、図10(e)に示すように、Pt層19aとSi層19bの全てが反

応し、 $Pt_{(1-x)}Si_x$ 層20のみがストッパ層として形成されるパターンのうち、いずれかとなる。

【0072】最終的に得られる構造が図10(b)~(e)のいずれのものとなる場合も、その半導体装置の製造過程において、実施の形態1の場合と同様にA1コンタクト12を良好な状態に形成することが可能であり、コンタクトホールの開口の際にキャパシタを構成する上部電極9にまでエッチングが及ぶことを抑制できる上、キャパシタ電極の膜厚が減少することを抑制でき、また電極の膜質の劣化を抑制することも可能であり、ストッパ層19が最終的に $Pt_{(1-x)}Si_x$ 層20を含む構造となることによる不都合は全くないことが分かる。

【0073】また、図10においては、導電膜10の最上層に密着層10cを形成した例を示したが、密着層10cを形成せずに、導電膜10をバリア層10aとストッパ層19のみから導電膜10を構成することも可能である。ストッパ層19の表面は、図10において示したように、Si層19b若しくは $Pt_{(1-x)}Si_x$ 層20により構成されるため、少なくともSiを含んでおり、上層に積層されるシリコン酸化膜からなる絶縁膜との密着性を十分に確保できるためである。

【0074】実施の形態7. 次に、この発明の実施の形態7について説明する。実施の形態7による半導体装置は、キャパシタを構成する一方の電極と、この電極に電気的に接続されるA1配線との間に介在させる導電膜10の最も良好な組み合わせの一例を示すものであり、半導体装置の全体的な構造は図1に示すものと類似している。図11(a)は図1中の領域Aの拡大図に相当しており、形成直後の高温熱処理を加えていない段階では、導電膜10はTiSiNからなるバリア層10aと、その上に積層されたPtからなるストッパ層10bと、さらに上層に積層されたSiからなる密着層10cの積層構造をとっている。

【0075】また導電膜10を構成するそれぞれの構成要素の膜厚は、バリア層10aが100Å、ストッパ層10bが300Å、密着層10cが600Å程度の膜厚となるようにし、また導電膜10の下層に配置される上部電極はPtにより構成し、膜厚370Å程度膜厚とする。

【0076】図11(a)のような導電膜10を形成した後、A1コンタクト12を形成するまでに、少なくとも1度の高温熱処理が加えられ、このときストッパ層10bを構成するPtと、密着層10cを構成するSiとが反応し、それらの膜の一部若しくは全部が $Pt_{(1-x)}Si_x$ 層20となる。

【0077】図11(a)中の領域Bの半導体装置完成時の(高温熱処理後の)構造は図11(b)~(e)に示すパターンのいずれかとなる。まず図11(b)の場合は、Ptの一部とSiの一部が反応し、未反応のPt、Siに挟まれた状態に $Pt_{(1-x)}Si_x$ 層20が配置

10

20

30

40

50

され、図11(c)の場合は、Pt全部とSiの一部が反応し、未反応のSiがPt_{1-x}Si_x層20上に残る状態となり、図11(d)の場合は、Ptの一部とSi全部が反応し、未反応のPt上にPt_{1-x}Si_x層20が配置され、図11(e)の場合は、PtとSiの全てが反応し、Pt_{1-x}Si_x層20のみがストッパ層10b及び密着層10cに対応する層として形成された状態となる。

【0078】なお、上記の4通りの構造のうち、最終的にどの構造となるかは、導電膜10を成膜後、どのような構造を形成して、どのような処理が加えられるかによって微妙に変化する。以上、示したように、導電膜10のバリア層10aを1000Åの厚さのTiSiNで、ストッパ層10bを300Åの厚さのPtで、密着層10cを600Åの厚さのSiにより構成することで、コンタクトホール開口の際にキャパシタを構成する上部電極9にまでエッチングが及ぶことを抑制できる上、キャパシタ電極の膜厚が減少することを抑制でき、また電極の膜質の劣化を抑制することも可能であり、最も良好な電気特性の半導体装置を得ることが可能である。

【0079】

【発明の効果】以下に、この発明の各請求項の効果について記載する。この発明の請求項1による半導体装置は、Al配線とPtからなるキャパシタ電極との間にバリア層、ストッパ層、密着層からなる導電膜を配置することによって、Al配線形成のためのコンタクトホール開口の際のオーバーエッチングによるキャパシタ電極の膜厚減少を抑制することができ、また、コンタクトホール内にAlを埋め込んだ後の熱処理の際もAlとPtとの反応を抑制することができ、良好な電気特性のキャパシタを得ることが可能となる。

【0080】また、この発明の請求項2による半導体装置は、Al配線とPtからなるキャパシタ電極との間にバリア層、ストッパ層からなる導電膜を配置し、ストッパ層として、その上層に積層される層間絶縁膜との密着性が高いSiを含む導電物質を用いたことによって、層間絶縁膜との密着性を十分に保った状態とできる。またAl配線形成のためのコンタクトホール開口の際のオーバーエッチングによってキャパシタ電極の膜厚減少を抑制し、コンタクトホール内にAlを埋め込んだ後の熱処理の際のAlとPtとの反応を抑制することができ、良好な電気特性のキャパシタを得ることが可能となる。

【0081】さらに、この発明の請求項3による半導体装置は、Al配線とPtからなるキャパシタ電極との間にバリア層を配置することで、Al配線形成のためのコンタクトホール開口の際のオーバーエッチングによってキャパシタ電極の膜厚が減少することを抑制でき、また、コンタクトホール内にAlを埋め込んだ後の熱処理の際もAlとPtとの反応を抑制することができ、良好な電気特性のキャパシタを得ることが可能となり、さら

に、バリア層を構成する物質は密着層と類似若しくは同じ物質であるため、層間絶縁膜との密着性も十分に確保できる。

【0082】また、この発明の請求項4による半導体装置は、Al配線とPtからなるキャパシタ電極との間にSi単体からなる密着層を配置することで、その上に積層される層間絶縁膜との密着性を十分に確保することが可能であり、AlとPtとを直接密着させることがないため、熱処理時におけるAlとPtとの反応を抑制でき、良好な電気特性のキャパシタを得ることが可能である。

【0083】さらに、この発明の請求項5による半導体装置は、Al配線とPtからなるキャパシタ電極との間に、バリア層とエッチングストッパ層及び犠牲反応膜としての性質を備えたRuO_x (0 ≤ x ≤ 2) からなるストッパ層、密着層を順次積層した2層構造の導電膜を配置したため、バリア層を形成することなく良好な電気特性のキャパシタ電極を得ることが可能である。

【0084】また、この発明の請求項6の発明による半導体装置は、DRAMメモリセルを構成するキャパシタのGND電位を給電される側のPtからなる電極(上部電極)と、この上部電極の上部に接続されるGND電位のAl配線との接続部に導電膜を介在させることで、熱処理を加えた場合もPtとAlが互いに反応することなく、良好な電気特性のキャパシタを得ることが可能であり、また、GND電位点に接続される電極を上部電極とするように配置することで、メモリセルの高集積化が可能となる。

【0085】さらに、この発明の請求項7の発明による半導体装置は、DRAMメモリセルを構成するキャパシタの一方のソース/ドレイン領域の電位を給電される側のPtからなる電極(上部電極)と、この上部電極の上部に接続される一方のソース/ドレイン領域の電位のAl配線との接続部に導電膜を介在させることで、熱処理を加えた場合もPtとAlが互いに反応することなく、良好な電気特性のキャパシタを得ることが可能である。

【0086】また、この発明の請求項8の発明による半導体装置は、形成直後の導電膜の構成にPtとSiの積層構造を含む場合、半導体装置完成までに加えられる熱処理によってPtとSiが反応し、Pt_{1-x}Si_xを形成しても導電膜としての膜質は劣化することなく、Al配線形成のためのコンタクトホール開口の際のオーバーエッチングによるキャパシタ電極の膜厚減少を抑制することができ、また、コンタクトホール内にAlを埋め込んだ後の熱処理の際もAlとPtとの反応を抑制することができ、良好な電気特性のキャパシタを得ることが可能となる。

【0087】さらに、この発明の請求項9の発明による半導体装置の製造方法によれば、キャパシタの上部電極を形成後、バリア層、ストッパ層、密着層を順次積層し

て導電膜を形成するため、この導電膜上に積層された層間絶縁膜内にコンタクトホールを形成する際に導電膜がエッチングストッパーとなり、コンタクトホールの底面下には少なくともバリア層が残る。よってコンタクトホール内にAlを充填後、熱処理を行った場合でもAlとPtとの間に介在するバリア層のため、両者が反応することがなく、良好な電気特性のキャパシタを得ることが可能となる。

【0088】また、この発明の請求項10による半導体装置の製造方法によれば、キャパシタの上部電極を形成後、 RuO_x ($0 \leq x \leq 2$) からなるストッパ層、密着層を順次積層して導電膜を形成し、次に、この導電膜上に積層された層間絶縁膜内にコンタクトホールを形成する際に導電膜がエッチングストッパーとなり、コンタクトホールの底面下には少なくともストッパ層が残る状態となる。 RuO_x からなるストッパ層はバリア性を有しており、コンタクトホール内にAlを充填後、熱処理を行った場合でもAlと上部電極を構成するPtとが反応することがなく、良好な電気特性のキャパシタを得ることが可能となる。

【0089】さらに、この発明の請求項11の発明による半導体装置の製造方法によれば、キャパシタの上部電極を形成後、バリア層、Siを含むストッパ層を順次積層して導電膜を形成し、次に、この導電膜上に積層された層間絶縁膜内にコンタクトホールを形成する際に導電膜がエッチングストッパーとなり、コンタクトホールの底面下には少なくともバリア層が残る状態となるため、コンタクトホール内にAlを充填後、熱処理を行った場合でもAlと上部電極を構成するPtとが反応することがなく、良好な電気特性のキャパシタを得ることが可能となり、またストッパ層がSiを含んだ物質から構成されるため、上層の SiO_2 から構成される層間絶縁膜との密着性も十分に確保することが可能となる。

【0090】また、この発明の請求項12の発明による半導体装置の製造方法によれば、形成直後の導電膜の構成にPtとSiの積層構造を含む場合、半導体装置完成までに加えられる熱処理によってPtとSiが反応し、 $Pt_{(1-x)}Si_x$ を形成しても導電膜としての膜質は劣化することなく、Al配線形成のためのコンタクトホール開口の際のオーバーエッチングによるキャパシタ電極の膜厚減少を抑制することができ、また、コンタクトホール内にAlを埋め込んだ後の熱処理の際もAlとPtとの反応を抑制することができ、良好な電気特性のキャパシタを得ることが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置を示すものである。

【図2】 この発明の実施の形態1の製造フローを示す

ものである。

【図3】 この発明の実施の形態1の半導体装置を示すものである。

【図4】 この発明の実施の形態1の半導体装置を示すものである。

【図5】 この発明の実施の形態1の半導体装置を示すものである。

【図6】 この発明の実施の形態2の半導体装置を示すものである。

【図7】 この発明の実施の形態3の半導体装置を示すものである。

【図8】 この発明の実施の形態4の半導体装置を示すものである。

【図9】 この発明の実施の形態5の半導体装置を示すものである。

【図10】 この発明の実施の形態6の半導体装置を示すものである。

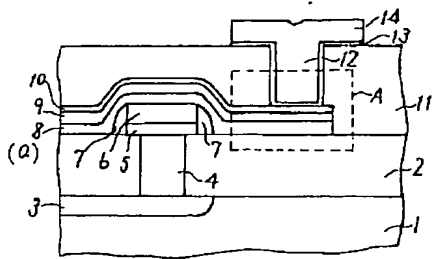
【図11】 この発明の実施の形態7の半導体装置を示すものである。

【図12】 従来の技術を示す図である。

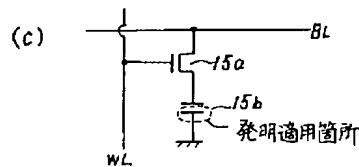
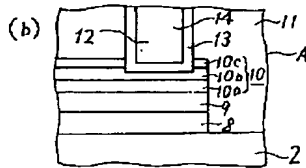
【符号の説明】

1. 半導体基板
- 2、11. 層間絶縁膜
3. 不純物領域
- 4、12b. コンタクト
5. 拡散防止膜
6. 下部電極
7. サイドウォール
8. 誘電体膜
9. 上部電極
10. 導電膜
- 10a. バリア層
- 10b、10d、19. ストッパ層
- 10c. 密着層
12. Alコンタクト
- 12a、12c. コンタクトホール
- 12d. コンタクト形成領域
- 13、13a. バリアメタル層
- 14、14a. Al配線
- 15a. MOSトランジスタ
- 15b. キャパシタ
16. LOCOS分離膜
17. ゲート絶縁膜
18. ゲート電極
- 19a. Pt層
- 19b. Si層
20. $Pt_{(1-x)}Si_x$ 層

【図1】

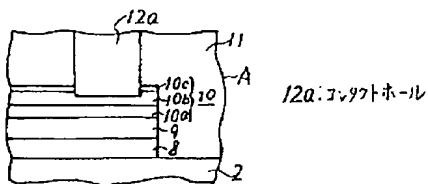


- 1: 半導体基板
2: 層間絶縁膜
3: 不純物領域
4: コンタクト
5: 拡散防止膜
6: 下部電極
7: サイドウォール
8: 誘電体膜
9: 上部電極
10: 導電膜
11: 層間絶縁膜
12: Alコンタクト
13: バリア層
14: Al配線
10a: バリア層
10b: ストップ層
10c: 窒素層



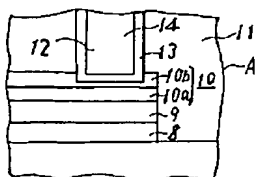
- 15a: MOSトランジスタ
15b: キャパシタ

【図3】

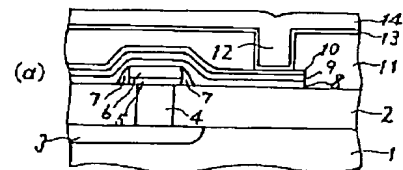
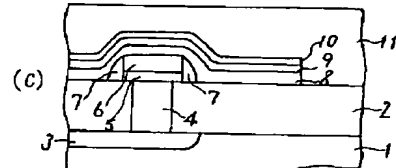
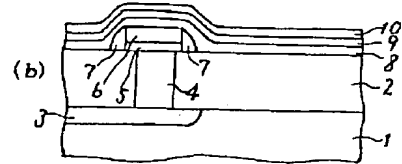
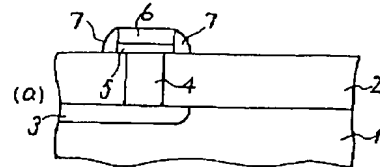


12a: コンタクトホール

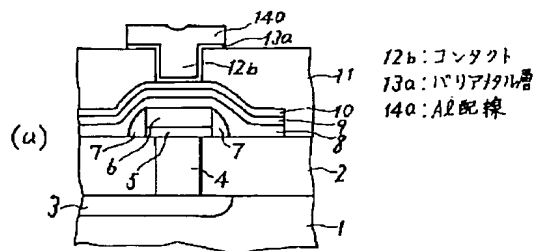
【図6】



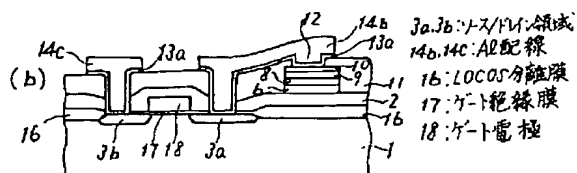
【図2】



【図4】

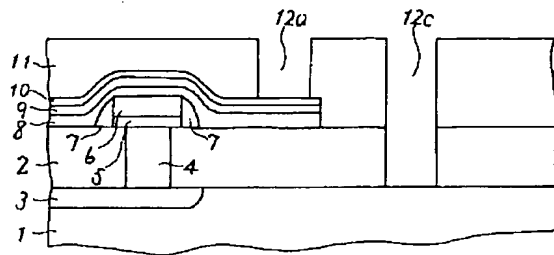


- 12b: コンタクト
13a: バリア層
14a: Al配線



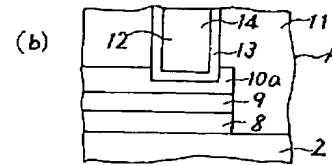
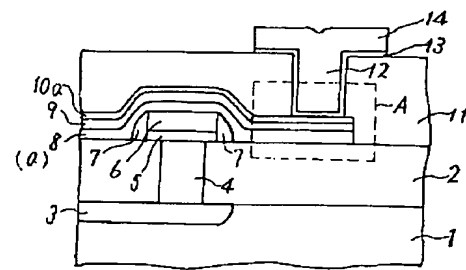
- 3a, 3b: ソース/ドレイン領域
14b, 14c: Al配線
16: LOCOS分離膜
17: ゲート絶縁膜
18: ゲート電極

【図5】

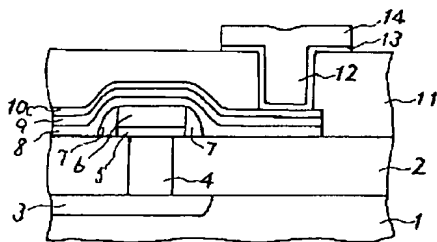


12c: コンタクトホール

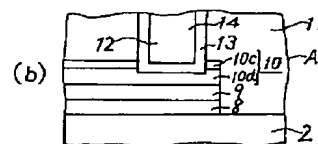
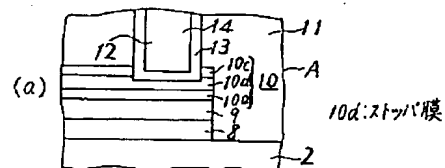
【図7】



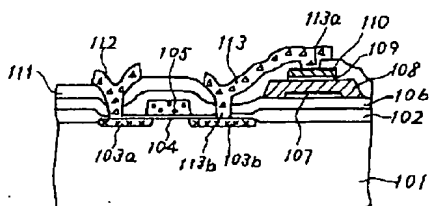
【図8】



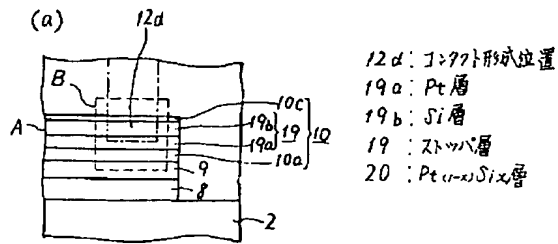
【図9】



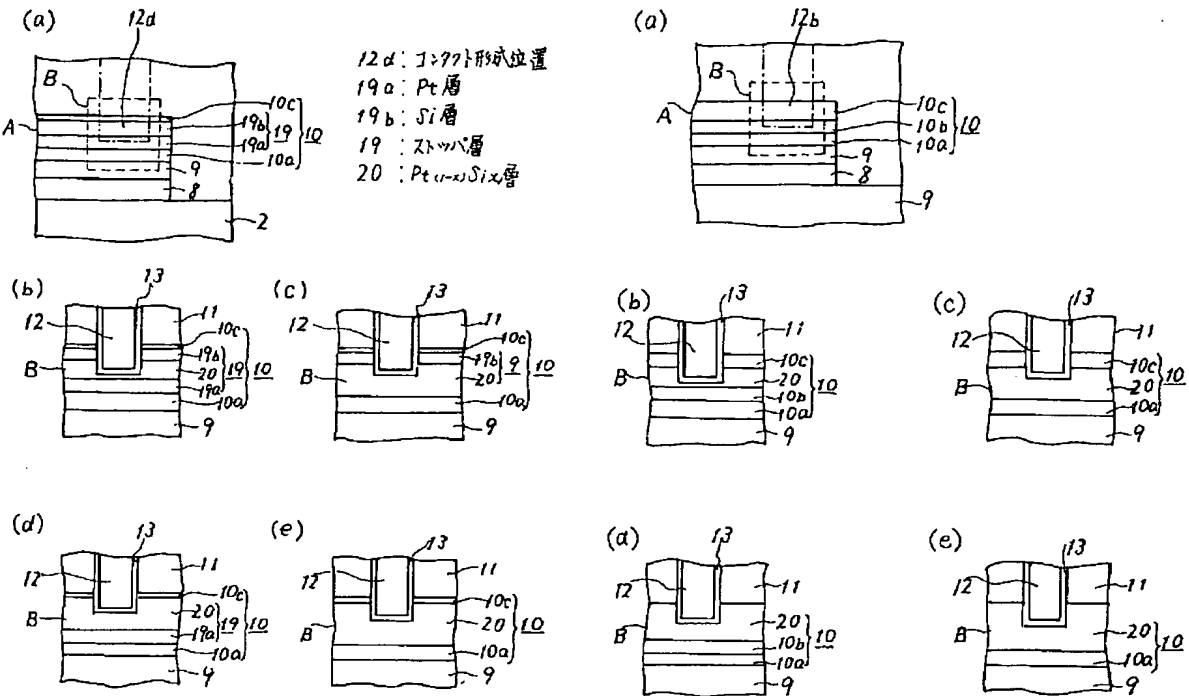
【図12】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁵H01L 27/04
21/822

識別記号

FI

H01L 27/10

G21B

(72)発明者 藤田 靖

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

(72)発明者 瀧 浩章

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

(72)発明者 柏原 慶一郎

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内